

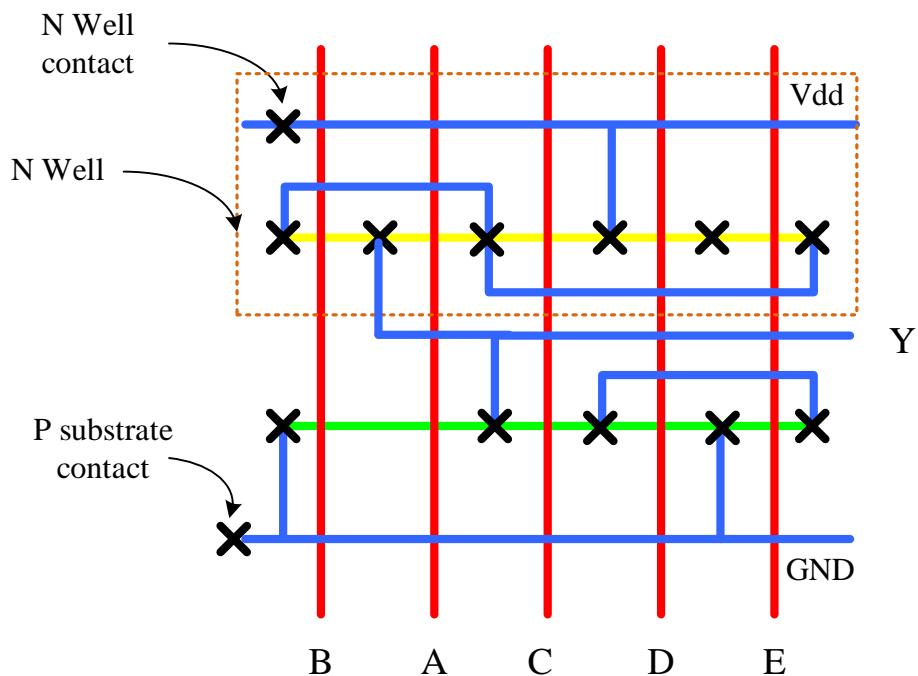
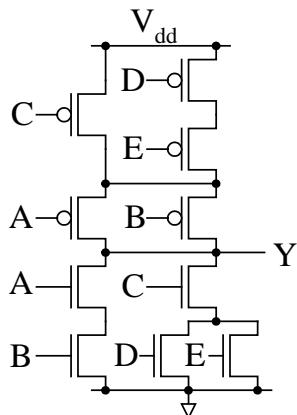
超大型積體電路設計導論 Homework Assignment #3

Due date: 2020/11/5

Q1.

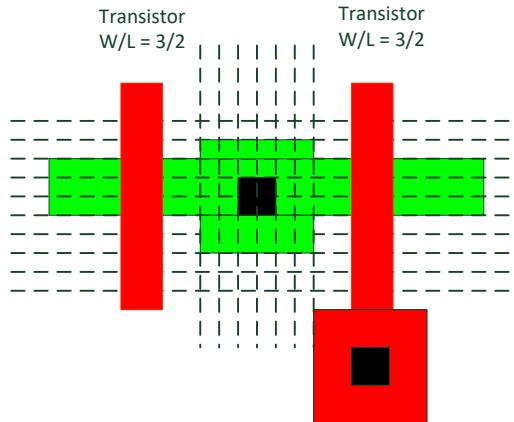
請根據所附之 stick diagram，遵循 layout design rules，畫出完整的 layout 圖。請以方格紙作答(如以電腦繪圖，請自行加上格線)，每一格表 1λ 大小。Vdd/GND line 的寬度請設為 6λ 。所有 poly line 的寬度為 2λ 。所有 PMOS 電晶體的 aspect ratio (W/L)為 $6\lambda / 2\lambda$ ，所有 NMOS 電晶體的 aspect ratio (W/L)為 $3\lambda / 2\lambda$ 。在不違反 layout design rules 的條件下，可自行調整 layout 的高度與寬度，以整體面積最小化為優先考量。畫完 layout 之後，並請計算出下列參數，以 λ 為單位。

- 1) Layout 的高度，由 Vdd 上緣量到 GND 下緣
- 2) Layout 的寬度，由最左邊 contact 的左側邊緣量到最右邊 contact 的右側邊緣
- 3) Layout 的面積，1)項與 2)項的乘積
- 4) N well 的長與寬 (註: N well 可能會超出前述 layout 面積定義的範圍)



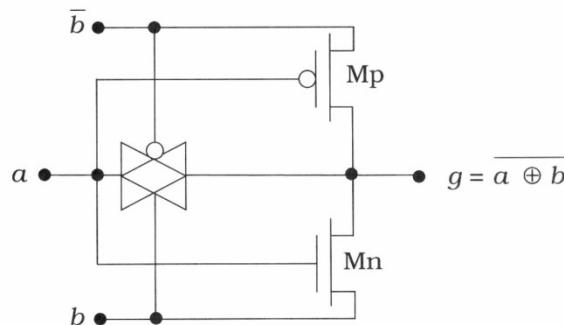
Note 1: color coding: N-diffusion (green), P-diffusion (yellow), poly (red), n-well (brown, dashed line), contact/via (black), metal 1 (blue), metal 2 (purple)

Note 2: 由於 active contact design rule 的限制，diffusion 最小要 $6\lambda \times 6\lambda$ ，若要保持電晶體的寬長比，可以參考以下畫法



Q2.

請根據下列的 XNOR 電路圖，包含產生 $\sim b$ 所需的 inverter 電路



- a) 劃出 stick diagram
- b) 根據 a) 的 stick diagram 架構以及 Q1 所設定的 layout 原則，劃出對應的 layout 圖，並計算此 layout 的長度、寬度與面積為何？

A. N-well layer	A.1 minimum size	10λ	D. P+/N+	D.1 Min. overlap of active	2λ
	A.2 minimum spacing	6λ		D.2 Minimum size	7λ
B. Active area	B.1 Minimum size	3λ		D.3 Min. overlap of active in abutting contact	1λ
	B.2 minimum spacing	3λ		D.4 spacing of P+/N+ to N+/P+ gate	3λ
	B.3 N-well overlap of P-diffusion	5λ		E. contact	E.1 minimum size
	B.4 N-well overlap of N-diffusion	3λ			E.2 min. spacing (poly)
	B.5 N-well space to N-diffusion	5λ			E.3 min. spacing (active)
	B.6 N-well space to P-diffusion	3λ			E.4 min. overlap of active

C. Poly	C.1 Minimum size	2λ	F. Metal	E.5 min. overlap of poly	2λ
	C.2 Minimum spacing	2λ		E.6 min. overlap of metal	1λ
	C.3 Spacing to active	1λ		E.7 min spacing to gate	2λ
	C.4 Gate extension	2λ		F.1 minimum size	3λ
				F.2 Minimum spacing	3λ